

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-194098

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

H02M 3/07
H01L 27/04
H01L 21/822
H03K 19/096

(21)Application number : 06-029956

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.02.1994

(72)Inventor : YAMAGATA SEIJI
UTO SHINYA
ASAMI FUMITAKA
SHIMOZONO MOTOKI

(30)Priority

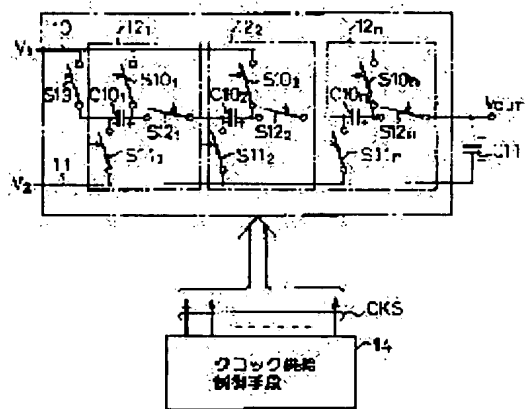
Priority number : 05288545 Priority date : 17.11.1993 Priority country : JP

(54) BOOSTER CIRCUIT AND CONTROLLER FOR BOOSTER CIRCUIT

(57)Abstract:

PURPOSE: To improve boost efficiency and voltage rise up response by connecting each capacitor in a plurality of boost parts, connected in a multistep manner, in parallel through a switch means between high/low potential power supply lines in the first stage, next directly connecting each capacitor in the second stage.

CONSTITUTION: Each switch S10 to S13 is on/off controlled by a clock CKS output from a clock supply control means 14, and in the first stage, a capacitor C10 in each boost part 12, with a potential difference between its respective high/low potential power supply lines 10, 11, is respectively simultaneously charged. Next in the second stage, with totalized potential of an addition value of respective charge voltage of each capacitor C10 and potential of the power supply line 10, a load capacity C11 is charged at a time. In this way, charge voltage of each capacitor C10 of each boost part 12 can be efficiently transmitted to the next stage boost part 12 or the load capacity C11, and rise up responsiveness of boost voltage VOUT can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. ⁶

識別記号

F I

H02M 3/07

H01L 27/04

21/822

H03K 19/096

D 8839-5J

H01L 27/04

G

審査請求 未請求 請求項の数12 ○L (全17頁)

(21) 出願番号 特願平6-29956

(22) 出願日 平成6年(1994)2月28日

(31) 優先権主張番号 特願平5-288545

(32) 優先日 平5(1993)11月17日

(33) 優先権主張国 日本(J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 山県 誠司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 鵜戸 真也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 浅見 文孝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

最終頁に続く

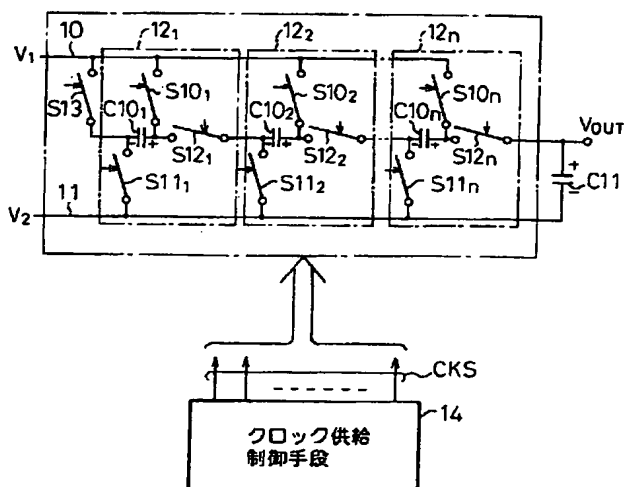
(54) 【発明の名称】 昇圧回路及び昇圧回路用コントローラ

(57) 【要約】

【目的】 昇圧回路に関し、昇圧効率を高めると共に、目標の高電圧への到達時間を短縮して昇圧電圧の立ち上がり応答性を向上させることを目的とする。

【構成】 各昇圧部12_iが、キャパシタC10_iと、該キャパシタの一端を電源ライン10に接続する第1スイッチ手段S10_iと、該キャパシタの他端を電源ライン11に接続する第2スイッチ手段S11_iと、該キャパシタの一端を次段のキャパシタC10_{i+1}又は負荷容量C11に接続する第3スイッチ手段S12_iとを有し、更に、初段の昇圧部のキャパシタの他端を電源ライン10に接続する第4スイッチ手段S13を備え、第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記各スイッチ手段のオンオフ制御を行うように構成する。

本発明の第1の形態に係る昇圧回路の原理構成図



【特許請求の範囲】

【請求項1】 高電位 (V_1) の電源ライン (10)

と、

低電位 (V_2) の電源ライン (11) と、

多段的に接続された複数の昇圧部 ($12_1 \sim 12_n$) であって、各昇圧部 (12_i) が、クロック (CKS) に応答して電荷蓄積手段の一端を前記高電位の電源ラインに接続する第1スイッチ手段 ($S10_i$) と、前記クロックに応答して前記電荷蓄積手段の他端を前記低電位の電源ラインに接続する第2スイッチ手段 ($S11_i$)

と、前記クロックに応答して前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量 ($C11$) に接続する第3スイッチ手段 ($S12_i$) とを有する複数の昇圧部と、前記クロックに応答して初段の昇圧部 (12_1) の電荷蓄積手段の他端を前記高電位の電源ラインに接続する第4スイッチ手段 ($S13$) と、

前記クロックの供給タイミングを制御する手段 (14) とを具備し、

前記第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと前記第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記各スイッチ手段のオンオフ制御を行い、最終段の昇圧部における第3スイッチ手段の端部より正極性の昇圧電圧 (V_{out}) を得るようにしたことを特徴とする昇圧回路。

【請求項2】 高電位の電源ラインと、

低電位の電源ラインと、

多段的に接続された複数の昇圧部であって、各昇圧部が、クロックに応答して電荷蓄積手段の一端を前記低電位の電源ラインに接続する第1スイッチ手段と、前記クロックに応答して前記電荷蓄積手段の他端を前記高電位の電源ラインに接続する第2スイッチ手段と、前記クロックに応答して前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第3スイッチ手段とを有する複数の昇圧部と、

前記クロックに応答して初段の昇圧部の電荷蓄積手段の他端を前記低電位の電源ラインに接続する第4スイッチ手段と、

前記クロックの供給タイミングを制御する手段とを具備し、

前記第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと前記第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記各スイッチ手段のオンオフ制御を行い、最終段の昇圧部における第3スイッチ手段の端部より負極性の昇圧電圧を得るようにしたことを特徴とする昇圧回路。

【請求項3】 高電位 (V_1) の電源ライン (10)

と、

低電位 (V_2) の電源ライン (11) と、

多段的に接続された複数の昇圧部 ($12_{i1} \sim 12_{in}$; i 50

$= 1 \sim m$) であって、各昇圧部 (12_{i1}) が、クロック (CKT) に応答して電荷蓄積手段の一端を前記高電位の電源ラインに接続する第1スイッチ手段 ($S10_{i1}$) と、前記クロックに応答して前記電荷蓄積手段の他端を前記低電位の電源ラインに接続する第2スイッチ手段 ($S11_{i1}$) と、前記クロックに応答して前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量 ($C11$) に接続する第3スイッチ手段 ($S12_{i1}$) とを有する複数の昇圧部と、

10 前記クロックに応答して初段の昇圧部 (12_{11}) の電荷蓄積手段の他端を前記高電位の電源ラインに接続する第4スイッチ手段 ($S13_{11}$) と、

を備えた回路部を1単位として、各単位回路部が前記負荷容量に対して並列に接続された複数の単位回路部と、前記クロックの供給タイミングを制御する手段 (15) とを具備し、

前記第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと前記第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記各スイッチ手段のオンオフ制御を行うと共に、少なくとも1つの単位回路部が前記第1ステージを実行中に別の少なくとも1つの単位回路部が前記第2ステージを実行するように前記各スイッチ手段のオンオフ制御を行い、各単位回路部の最終段の昇圧部における第3スイッチ手段の端部より正極性の昇圧電圧 (V_{out}) を得るようにしたことを特徴とする昇圧回路。

【請求項4】 高電位の電源ラインと、

低電位の電源ラインと、

30 多段的に接続された複数の昇圧部であって、各昇圧部が、クロックに応答して電荷蓄積手段の一端を前記低電位の電源ラインに接続する第1スイッチ手段と、前記クロックに応答して前記電荷蓄積手段の他端を前記高電位の電源ラインに接続する第2スイッチ手段と、前記クロックに応答して前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第3スイッチ手段とを有する複数の昇圧部と、

前記クロックに応答して初段の昇圧部の電荷蓄積手段の他端を前記低電位の電源ラインに接続する第4スイッチ手段と、

40 を備えた回路部を1単位として、各単位回路部が前記負荷容量に対して並列に接続された複数の単位回路部と、前記クロックの供給タイミングを制御する手段とを具備し、

前記第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと前記第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記各スイッチ手段のオンオフ制御を行うと共に、少なくとも1つの単位回路部が前記第1ステージを実行中に別の少なくとも1つの単位回路部が前記第2ステージを実行するように前記各スイッチ手段のオンオフ制御を

行い、各単位回路部の最終段の昇圧部における第 3 スイッチ手段の端部より負極性の昇圧電圧を得るようにしたことを特徴とする昇圧回路。

【請求項 5】 前記クロックの供給タイミングを制御する手段は、前記第 1 ステージと前記第 2 ステージの間の所定期間中、前記各スイッチ手段が全てオフ状態となるように当該クロックの供給タイミングを制御することを特徴とする請求項 1 から 4 のいずれか一項に記載の昇圧回路。

【請求項 6】 前記各スイッチ手段は、それぞれ対応するクロックにตอบสนองする n チャネル MOS トランジスタ、p チャネル MOS トランジスタ、又は CMOS トランスミッションゲートで構成されることを特徴とする請求項 1 から 5 のいずれか一項に記載の昇圧回路。

【請求項 7】 前記電荷蓄積手段は、前記各昇圧部と別個に設けられることを特徴とする請求項 1 から 4 のいずれか一項に記載の昇圧回路。

【請求項 8】 多段的に接続された複数の昇圧部の各々に、電荷蓄積手段の一端を高電位の電源ラインに接続する第 1 スイッチ手段と、前記電荷蓄積手段の他端を低電位の電源ラインに接続する第 2 スイッチ手段と、前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第 3 スイッチ手段とを備え、更に初段の昇圧部の電荷蓄積手段の他端を前記高電位の電源ラインに接続する第 4 スイッチ手段を備えた昇圧回路を制御するコントローラであって、
前記第 1 ～第 4 の各スイッチ手段のオンオフ動作のタイミング制御を行う手段を具備し、前記第 1 スイッチ手段及び第 2 スイッチ手段のみをオンにする第 1 ステージと前記第 3 スイッチ手段及び第 4 スイッチ手段のみをオンにする第 2 ステージを 1 周期として前記第 1 ～第 4 の各スイッチ手段のオンオフ制御を行うことを特徴とする昇圧回路用コントローラ。

【請求項 9】 多段的に接続された複数の昇圧部の各々に、電荷蓄積手段の一端を低電位の電源ラインに接続する第 1 スイッチ手段と、前記電荷蓄積手段の他端を高電位の電源ラインに接続する第 2 スイッチ手段と、前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第 3 スイッチ手段とを備え、更に初段の昇圧部の電荷蓄積手段の他端を前記低電位の電源ラインに接続する第 4 スイッチ手段を備えた昇圧回路を制御するコントローラであって、
前記第 1 ～第 4 の各スイッチ手段のオンオフ動作のタイミング制御を行う手段を具備し、前記第 1 スイッチ手段及び第 2 スイッチ手段のみをオンにする第 1 ステージと前記第 3 スイッチ手段及び第 4 スイッチ手段のみをオンにする第 2 ステージを 1 周期として前記第 1 ～第 4 の各スイッチ手段のオンオフ制御を行うことを特徴とする昇圧回路用コントローラ。

【請求項 10】 多段的に接続された複数の昇圧部の各

々に、電荷蓄積手段の一端を高電位の電源ラインに接続する第 1 スイッチ手段と、前記電荷蓄積手段の他端を低電位の電源ラインに接続する第 2 スイッチ手段と、前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第 3 スイッチ手段とを備え、更に初段の昇圧部の電荷蓄積手段の他端を前記高電位の電源ラインに接続する第 4 スイッチ手段を備えた回路部を 1 単位として各単位回路部が前記負荷容量に対して並列に接続された複数の単位回路部を有する昇圧回路を制御するコントローラであって、

前記第 1 ～第 4 の各スイッチ手段のオンオフ動作のタイミング制御を行う手段を具備し、前記第 1 スイッチ手段及び第 2 スイッチ手段のみをオンにする第 1 ステージと前記第 3 スイッチ手段及び第 4 スイッチ手段のみをオンにする第 2 ステージを 1 周期として前記第 1 ～第 4 の各スイッチ手段のオンオフ制御を行うと共に、少なくとも 1 つの単位回路部が前記第 1 ステージを実行中に別の少なくとも 1 つの単位回路部が前記第 2 ステージを実行するように前記各スイッチ手段のオンオフ制御を行うことを特徴とする昇圧回路用コントローラ。

【請求項 11】 多段的に接続された複数の昇圧部の各々に、電荷蓄積手段の一端を低電位の電源ラインに接続する第 1 スイッチ手段と、前記電荷蓄積手段の他端を高電位の電源ラインに接続する第 2 スイッチ手段と、前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第 3 スイッチ手段とを備え、更に初段の昇圧部の電荷蓄積手段の他端を前記低電位の電源ラインに接続する第 4 スイッチ手段を備えた回路部を 1 単位として各単位回路部が前記負荷容量に対して並列に接続された複数の単位回路部を有する昇圧回路を制御するコントローラであって、

前記第 1 ～第 4 の各スイッチ手段のオンオフ動作のタイミング制御を行う手段を具備し、前記第 1 スイッチ手段及び第 2 スイッチ手段のみをオンにする第 1 ステージと前記第 3 スイッチ手段及び第 4 スイッチ手段のみをオンにする第 2 ステージを 1 周期として前記第 1 ～第 4 の各スイッチ手段のオンオフ制御を行うと共に、少なくとも 1 つの単位回路部が前記第 1 ステージを実行中に別の少なくとも 1 つの単位回路部が前記第 2 ステージを実行するように前記各スイッチ手段のオンオフ制御を行うことを特徴とする昇圧回路用コントローラ。

【請求項 12】 前記各スイッチ手段のオンオフ動作のタイミング制御を行う手段は、前記第 1 ステージと前記第 2 ステージの間の所定期間中、前記各スイッチ手段が全てオフ状態となるように制御することを特徴とする請求項 8 から 11 のいずれか一項に記載の昇圧回路用コントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、昇圧回路に係り、特

に、外部から供給される電源電圧を数倍～数十倍に昇圧して半導体集積回路又は装置内部に必要な高電圧を生成する昇圧回路に関する。本発明に係る昇圧回路は、例えばLCD（液晶ディスプレイ）やCCD（電荷結合素子）等において好適に利用され得る。

【0002】LCDやCCD等では、画素の書き込み用や画素情報の転送用に数十V程度の高電圧を必要とするが、この高電圧を装置もしくはシステムの外部から供給したのでは、電源系統の複数化やコストアップを招くから好ましくない。そこで、通常の電源電圧（例えば5V）を内部で昇圧して必要な高電圧を生成する昇圧回路が用いられる。

【0003】

【従来の技術】図18には従来形の一例としての昇圧回路の構成が示される。図中、1は外部電源電圧VDDの供給ライン、2はグランド（GND）ラインを示し、これら供給ライン1とグランドライン2の間には昇圧回路3の初段部4が接続されている。

【0004】初段部4は、キャパシタC1及びキャパシタC2と、キャパシタC1の一端を供給ライン1に接続可能なスイッチ手段S1と、キャパシタC1の他端を供給ライン1に接続可能なスイッチ手段S2と、キャパシタC1の一端をグランドライン2に接続可能なスイッチ

手段S3と、キャパシタC1の他端をキャパシタC2の一端に接続可能なスイッチ手段S4とを有し、キャパシタC2の他端はグランドライン2に接続され、キャパシタC2の一端から初段部4の出力（初段出力）V1が取り出されるようになっている。

【0005】更に、初段出力V1の供給ライン5とグランドライン2の間には昇圧回路3の次段部6が接続されており、この例では、次段部6は出力段部を兼ねている。次段部6は、キャパシタC3と、キャパシタC3の一端を供給ライン5に接続可能なスイッチ手段S5と、キャパシタC3の他端を供給ライン5に接続可能なスイッチ手段S6と、キャパシタC3の一端をグランドライン2に接続可能なスイッチ手段S7と、キャパシタC3の他端を負荷容量C4の一端に接続可能なスイッチ手段S8とを有している。なお、負荷容量C4は例えばLCDの画素容量であり、この負荷容量C4の両端電圧が昇圧回路3の出力電圧（以下、昇圧電圧と称する） V_{out} として取り出される。

【0006】このような回路構成において、各スイッチ手段S1～S8は、以下の表1に示すように2つのステージ（ステージ1及びステージ2）を1周期としてオンオフ動作を繰り返す。

表1

スイッチ手段	ステージ1の状態	ステージ2の状態
S1	×	○
S2	○	×
S3	○	×
S4	×	○
S5	×	○
S6	○	×
S7	○	×
S8	×	○

但し、○は「オン」状態、×は「オフ」状態を表している。また、ステージ1はキャパシタC1及びC3の充電ステージ、ステージ2はキャパシタC1、キャパシタC3からそれぞれキャパシタC2、負荷容量C4への電荷転送ステージであり、これらステージ1及びステージ2を1周期として繰り返すことにより、図19に示すように階段（ステップ）状に上昇変化する昇圧電圧 V_{out} を生成することができる。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来の昇圧回路においては、初段部4におけるキャパシタC2と出力段部6におけるキャパシタC3を直列に接続して当該キャパシタC3を充電する構成となっているため、例えば、双方の容量が等しい場合（ $C2 = C3$ ）、キャパシタC3にはキャパシタC2の充電電荷のほぼ1/2しか充電することができないといった不利が

ある。その結果、昇圧回路全体としての昇圧効率が悪いという問題点があった。

【0008】また、昇圧電圧 V_{out} の生成に際して、キャパシタC1の充電（ステージ1）→キャパシタC1からキャパシタC2への電荷転送（ステージ2）→キャパシタC3の充電（ステージ1）→キャパシタC3から負荷容量C4への電荷転送（ステージ2）といった4つの動作（つまり2周期）を経なければ昇圧電圧 V_{out} の値を変化させることができない構成となっているため、電源投入時から昇圧電圧 V_{out} が目標の高電圧 V_h に到達するまでに要する時間が相対的に長くなるといった不利がある。そのため、昇圧電圧 V_{out} の生成に関してその電圧の立ち上がり応答性が悪いという問題点があった。

【0009】さらに、各スイッチ手段S1～S8はステージ1とステージ2を1周期としてオンオフ動作を繰り返すようにしているので、①初段出力V1は2周期目の

ステージ 1 (つまりキャパシタ C 3 の充電) の段階で初めてその電圧値が確定する、②キャパシタ C 1, C 3 はステージ 1 とステージ 2 ではその極性が反転する、③キャパシタ C 1 に充電された電荷は負荷容量 C 4 だけでなくキャパシタ C 2 にも分配される、④負荷容量 C 4 が充電される期間はステージ 2 のみ (つまり 1 周期の半分) である、といった不都合が生じる。そのため、昇圧電圧 V_{out} の立ち上がりが遅く、昇圧効率が悪いといった課題があった。

【0010】本発明は、かかる従来技術における課題に鑑み創作されたもので、昇圧効率を高めると共に、目標の高電圧への到達時間を短縮して昇圧電圧の立ち上がり応答性を向上させることができる昇圧回路を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明の第 1 の形態によれば、図 1 の原理構成図に示されるように、高電位 V_1 の電源ライン 10 と、低電位 V_2 の電源ライン 11 と、多段的に接続された複数の昇圧部 12₁ ~ 12_m。であって、各昇圧部 12_i が、キャパシタ C 10_i (但し、当該キャパシタは各昇圧部と別個に設けてもよい) と、クロック CKS に応答して該キャパシタの一端を前記高電位の電源ラインに接続する第 1 スイッチ手段 S 10_i と、前記クロックに応答して前記キャパシタの他端を前記低電位の電源ラインに接続する第 2 スイッチ手段 S 11_i と、前記クロックに応答して前記キャパシタの一端を次段のキャパシタ C 10_{i+1} 又は負荷容量 C 11 のいずれか一方に接続する第 3 スイッチ手段 S 12_i とを有する複数の昇圧部と、前記クロックに応答して初段の昇圧部 12₁ のキャパシタ C 10₁ の他端を前記高電位の電源ラインに接続する第 4 スイッチ手段 S 13 と、前記クロックの供給タイミングを制御する手段 14 とを具備し、前記第 1 スイッチ手段及び第 2 スイッチ手段のみをオンにする第 1 ステージと前記第 3 スイッチ手段及び第 4 スイッチ手段のみをオンにする第 2 ステージを 1 周期として前記各スイッチ手段のオンオフ制御を行い、最終段の昇圧部における第 3 スイッチ手段の端部より正極性の昇圧電圧 V_{out} を得るようにしたことを特徴とする昇圧回路が提供される。

【0012】また、この第 1 の形態の変形形態によれば、高電位の電源ラインと、低電位の電源ラインと、多段的に接続された複数の昇圧部であって、各昇圧部が、キャパシタ (同様に、当該キャパシタは各昇圧部と別個に設けてもよい) と、クロックに応答して該キャパシタの一端を前記低電位の電源ラインに接続する第 1 スイッチ手段と、前記クロックに応答して前記キャパシタの他端を前記高電位の電源ラインに接続する第 2 スイッチ手段と、前記クロックに応答して前記キャパシタの一端を次段のキャパシタ又は負荷容量のいずれか一方に接続する第 3 スイッチ手段とを有する複数の昇圧部と、前記ク

ロックに応答して初段の昇圧部のキャパシタの他端を前記低電位の電源ラインに接続する第 4 スイッチ手段と、前記クロックの供給タイミングを制御する手段とを具備し、前記第 1 スイッチ手段及び第 2 スイッチ手段のみをオンにする第 1 ステージと前記第 3 スイッチ手段及び第 4 スイッチ手段のみをオンにする第 2 ステージを 1 周期として前記各スイッチ手段のオンオフ制御を行い、最終段の昇圧部における第 3 スイッチ手段の端部より負極性の昇圧電圧を得るようにしたことを特徴とする昇圧回路が提供される。

【0013】更に、本発明の第 2 の形態によれば、図 2 の原理構成図に示されるように、高電位 V_1 の電源ライン 10 と、低電位 V_2 の電源ライン 11 と、多段的に接続された複数の昇圧部 12₁ ~ 12_m ; $i = 1 \sim m$ であって、各昇圧部 12_i が、キャパシタ C 10_i (同様に、当該キャパシタは各昇圧部と別個に設けてもよい) と、クロック CKT に応答して該キャパシタの一端を前記高電位の電源ラインに接続する第 1 スイッチ手段 S 10_i と、前記クロックに応答して前記キャパシタの他端を前記低電位の電源ラインに接続する第 2 スイッチ手段 S 11_i と、前記クロックに応答して前記キャパシタの一端を次段のキャパシタ C 10_{i+1} 又は負荷容量 C 11 のいずれか一方に接続する第 3 スイッチ手段 S 12_i とを有する複数の昇圧部と、前記クロックに応答して初段の昇圧部 12₁ のキャパシタ C 10₁ の他端を前記高電位の電源ラインに接続する第 4 スイッチ手段 S 13 と、を備えた回路部を 1 単位として、各単位回路部が前記負荷容量に対して並列に接続された複数の単位回路部と、前記クロックの供給タイミングを制御する手段 15 とを具備し、前記第 1 スイッチ手段及び第 2 スイッチ手段のみをオンにする第 1 ステージと前記第 3 スイッチ手段及び第 4 スイッチ手段のみをオンにする第 2 ステージを 1 周期として前記各スイッチ手段のオンオフ制御を行うと共に、少なくとも 1 つの単位回路部が前記第 1 ステージを実行中に別の少なくとも 1 つの単位回路部が前記第 2 ステージを実行するように前記各スイッチ手段のオンオフ制御を行い、各単位回路部の最終段の昇圧部における第 3 スイッチ手段の端部より正極性の昇圧電圧 V_{out} を得るようにしたことを特徴とする昇圧回路が提供される。

【0014】また、この第 2 の形態の変形形態によれば、高電位の電源ラインと、低電位の電源ラインと、多段的に接続された複数の昇圧部であって、各昇圧部が、キャパシタ (同様に、当該キャパシタは各昇圧部と別個に設けてもよい) と、クロックに応答して該キャパシタの一端を前記低電位の電源ラインに接続する第 1 スイッチ手段と、前記クロックに応答して前記キャパシタの他端を前記高電位の電源ラインに接続する第 2 スイッチ手段と、前記クロックに応答して前記キャパシタの一端を次段のキャパシタ又は負荷容量のいずれか一方に接続す

る第3スイッチ手段とを有する複数の昇圧部と、前記クロックにตอบสนองして初段の昇圧部のキャパシタの他端を前記低電位の電源ラインに接続する第4スイッチ手段と、を備えた回路部を1単位として、各単位回路部が前記負荷容量に対して並列に接続された複数の単位回路部と、前記クロックの供給タイミングを制御する手段とを具備し、前記第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと前記第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記各スイッチ手段のオンオフ制御を行うと共に、少なくとも1つの単位回路部が前記第1ステージを実行中に別の少なくとも1つの単位回路部が前記第2ステージを実行するように該各スイッチ手段のオンオフ制御を行い、各単位回路部の最終段の昇圧部における第3スイッチ手段の端部より負極性の昇圧電圧を得るようにしたことを特徴とする昇圧回路が提供される。

【0015】更に、本発明の好適な実施態様においては、前記クロックの供給タイミングを制御する手段は、前記第1ステージと前記第2ステージの間の所定期間中、前記各スイッチ手段が全てオフ状態となるように当該クロックの供給タイミングを制御する。また、本発明の他の形態によれば、多段接続された複数の昇圧部の各々に、電荷蓄積手段の一端を高電位（又は低電位）の電源ラインに接続する第1スイッチ手段と、前記電荷蓄積手段の他端を低電位（又は高電位）の電源ラインに接続する第2スイッチ手段と、前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第3スイッチ手段とを備え、更に初段の昇圧部の電荷蓄積手段の他端を前記高電位（または低電位）の電源ラインに接続する第4スイッチ手段を備えた昇圧回路を制御するコントローラであって、前記第1～第4の各スイッチ手段のオンオフ動作のタイミング制御を行う手段を具備し、前記第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと前記第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記第1～第4の各スイッチ手段のオンオフ制御を行うことを特徴とする昇圧回路用コントローラが提供される。

【0016】また、本発明の更に他の形態によれば、多段的に接続された複数の昇圧部の各々に、電荷蓄積手段の一端を高電位（又は低電位）の電源ラインに接続する第1スイッチ手段と、前記電荷蓄積手段の他端を低電位（又は高電位）の電源ラインに接続する第2スイッチ手段と、前記電荷蓄積手段の一端を次段の昇圧部又は負荷容量に接続する第3スイッチ手段とを備え、更に初段の昇圧部の電荷蓄積手段の他端を前記高電位（又は低電位）の電源ラインに接続する第4スイッチ手段を備えた回路部を1単位として各単位回路部が前記負荷容量に対して並列に接続された複数の単位回路部を有する昇圧回路を制御するコントローラであって、前記第1～第4の各スイッチ手段のオンオフ動作のタイミング制御を行う

手段を具備し、前記第1スイッチ手段及び第2スイッチ手段のみをオンにする第1ステージと前記第3スイッチ手段及び第4スイッチ手段のみをオンにする第2ステージを1周期として前記第1～第4の各スイッチ手段のオンオフ制御を行うと共に、少なくとも1つの単位回路部が前記第1ステージを実行中に別の少なくとも1つの単位回路部が前記第2ステージを実行するように前記各スイッチ手段のオンオフ制御を行うことを特徴とする昇圧回路用コントローラが提供される。

【0017】

【作用】本発明の第1の形態による構成によれば（図1参照）、先ず第1ステージで、第1スイッチ手段 S_{10} と第2スイッチ手段 S_{11} をオンにすると、各昇圧部 12_i におけるキャパシタ C_{10_i} がそれぞれ高電位の電源ライン 10 と低電位の電源ライン 11 の間に「並列」に接続される。次いで、第2ステージで、第3スイッチ手段 S_{12_i} と第4スイッチ手段 S_{13} をオンにすると、全てのキャパシタ $C_{10_i} \sim C_{10}$ と負荷容量 C_{11} が高電位の電源ライン 10 と低電位の電源ライン 11 の間に「直列」に接続される。

【0018】つまり、第1ステージでは、各昇圧部 12_i におけるキャパシタ C_{10_i} の各個が高電位の電源ライン 10 と低電位の電源ライン 11 の間の電位差（便宜的に $V_1 = V_{00}$ 、 $V_2 = 0$ とする）でそれぞれ同時に充電され、第2ステージでは、各キャパシタ C_{10_i} のそれぞれの充電電圧の加算値（ $n \times V_{00}$ ）と電源ライン 10 の電位（ V_{00} ）との合計電位で一度に負荷容量 C_{11} が充電される。

【0019】これによって、各昇圧部 12_i におけるキャパシタ C_{10_i} の充電電圧を無駄なく、つまり効率良く、次段の昇圧部 12_{i+1} 又は負荷容量 C_{11} へと伝えることができる。しかも、かかる動作は第1ステージと第2ステージの2段階で実現されるので、ステップ状に変化する昇圧電圧 V_{00} の1段あたりの電圧変化幅を従来例に比して増大させることができる（図3に示す波形図参照）。これによって、目標の高電圧 V_h への到達時間を短縮し、昇圧電圧 V_{00} の立ち上がり応答性を向上させることができる。

【0020】なお、この第1の形態によれば、生成される昇圧電圧 V_{00} は正極性を呈するが、その変形形態に示すように第1スイッチ手段、第2スイッチ手段及び第4スイッチ手段によりそれぞれ対応するキャパシタが接続される電源ラインの電圧極性を逆にすることにより、上述した動作形態と同様にして、負極性の昇圧電圧を生成することができる。

【0021】また、本発明の第2の形態による構成によれば（図2参照）、少なくとも1つの単位回路部（例えば、複数の昇圧部 $12_{i1} \sim 12_{in}$ 及び第4スイッチ手段 S_{13} からなる回路部）が前記第1ステージを実行中に別の少なくとも1つの単位回路部（例えば、複数の昇

10

20

30

40

50

圧部 $12_1 \sim 12_n$ 及び第4スイッチ手段 $S13_i$ からなる回路部が前記第2ステージを実行するように各スイッチ手段のオンオフ制御がなされている。つまり、複数の単位回路部全体としては、そのうちの少なくとも1つの単位回路部は、常に負荷容量 $C11$ に対して第2ステージ（負荷容量 $C11$ の充電動作）を実行している。

【0022】従って、この形態によれば、第1ステージと第2ステージを含む1周期の期間中、常に負荷容量 $C11$ を充電することができるので、上述した第1の形態による作用効果に加えて、昇圧効率をより一層改善することができるという格別の効果が得られる（図3に示す波形図参照）。なお、図3の例示では、各単位回路部における昇圧部の数（段数）が3（ $n=3$ ）で、単位回路部の数が2（ $m=2$ ）の場合における昇圧の様子が示されている。

【0023】なお、この第2の形態によれば、生成される昇圧電圧 V_{out} は正極性を呈するが、その変形形態に示すように各昇圧部における第1スイッチ手段及び第2スイッチ手段と第4スイッチ手段によりそれぞれ対応するキャパシタが接続される電源ラインの電圧極性を逆にすることにより、上述した第1の形態の変形形態と同様に、負極性の昇圧電圧を生成することができる。

【0024】また、上記クロックの供給タイミングを制御する手段により、第1ステージと第2ステージの間の所定期間中、前記各スイッチ手段を全てオフ状態とするよう当該クロックの供給タイミングを制御した場合には、充電動作の切り換え過渡時における誤動作発生の可能性を排除することが可能となり、これによって回路動作の安定性を確保することができる。

【0025】なお、本発明の他の構成上の特徴及び作用の詳細については、添付図面を参照しつつ以下に記述される実施例を用いて説明する。

【0026】

【実施例】図4は本発明の第1の形態に係る昇圧回路の第1実施例を示す図であり、各スイッチ手段を n チャンネルMOSトランジスタ又は p チャンネルMOSトランジスタで構成した例である。なお、 n チャンネルMOSトランジスタ及び p チャンネルMOSトランジスタとしては、エンハンスメント（ノーマリ・オフ）の絶縁ゲート型電界効果トランジスタ（いわゆるIG-FET）を使用する。

【0027】まず、構成を説明する。図4において、昇圧回路20は、 n 段の昇圧部 $20_1 \sim 20_n$ を有し、各昇圧部 20_i は、 p チャンネルMOSトランジスタを用いた第1スイッチ手段 21_i （ $i=1 \sim n$ ）、 n チャンネルMOSトランジスタを用いた第2スイッチ手段 22_i 、 p チャンネルMOSトランジスタを用いた第3スイッチ手段 23_i 、及びキャパシタ 24_i を備えて同一に構成されている。

【0028】例えば、初段の昇圧部 20_1 で説明する

と、第1スイッチ手段 21_i はオン状態でキャパシタ 24_i の一端を高電位（VDD）の電源ライン25に接続し、第2スイッチ手段 22_i はオン状態でキャパシタ 24_i の他端を低電位（GND）の電源ライン26に接続し、第3スイッチ手段 23_i はオン状態でキャパシタ 24_i の一端を次段の昇圧部 20_{i+1} のキャパシタ（但し、最終段の昇圧部 20_n については負荷容量27）に接続する。

【0029】また、28は第4スイッチ手段に相当し、この第4スイッチ手段28はオン状態で初段の昇圧部 20_1 のキャパシタ 24_1 の他端を高電位の電源ライン25に接続する。なお、VDDは外部から供給される高電位の電源電圧（+5V）、GNDは低電位の電源電圧（0V）、CK1及びCK2は各スイッチ手段のオンオフ制御を行うためのクロック（制御信号）を示し、各クロックが“H”レベルの時に n チャンネルMOSトランジスタがオンとなり、各クロックが“L”レベルの時に p チャンネルMOSトランジスタがオンとなる。

【0030】このような構成において、動作は2つのステージの繰り返しで行われる。本実施例では、第1ステージにおいてクロックCK1が“H”レベル、クロックCK2が“L”レベルに設定され、第2ステージにおいてクロックCK1が“L”レベル、クロックCK2が“H”レベルに設定される。

<第1ステージ>全ての段（すなわち各昇圧部 20_i ）において第1スイッチ手段 21_i と第2スイッチ手段 22_i だけがオン、他のスイッチ手段はオフにする。このため、全ての段のキャパシタ 24_i が高電位の電源ライン25と低電位の電源ライン26の間に並列に接続され、各キャパシタ 24_i は両電源ラインの電位差（+5V）でそれぞれ同時に充電される。

【0031】<第2ステージ>全ての段の第3スイッチ手段 23_i と第4スイッチ手段28だけがオン、他のスイッチ手段はオフにする。このため、全ての段のキャパシタ 24_i 及び負荷容量27が高電位の電源ライン25と低電位の電源ライン26の間に直列に接続され、各キャパシタ 24_i の充電電圧の合計値（+5V× n ）に両電源ラインの電位差（+5V）を加えた電圧、すなわち+5V× n +5V、で負荷容量27が一度に充電される。

【0032】このように第1実施例の構成によれば、第1ステージで全ての段のキャパシタ 24_i を一斉に充電し、次の第2ステージで各キャパシタの充電電圧を一度に無駄なく負荷容量27に転送することができる。従って、昇圧効率の高い昇圧回路20を実現できると共に、各段間の転送動作に無駄がないので、昇圧電圧 V_{out} （負荷容量27の両端電圧）を速やかに立ち上げることができ、応答性に優れた昇圧回路20を実現できるという格別な効果を奏することができる。

【0033】ここで、本実施例の昇圧電圧 V_{out} を数式

で求めている。今、キャパシタ24_iと負荷容量27の内部容量比をmとすると、一周期目の昇圧電圧V_{00T1}は

$$V_{00T1} = m(n+1)VDD / (m+n) \quad \text{..... (1)}$$

ここで、mの値を∞に近づけた時の昇圧電圧V_{00T1}の極限値をlim₍₁₎、mの値を0に近づけた時の昇圧電圧V_{00T1}の極限値をlim₍₂₎とすると、以下の式(2)

$$\lim_{(1)} V_{00T1} = (n+1)VDD, \quad \lim_{(2)} V_{00T1} = 0 \quad \text{..... (2)}$$

この式(2)から分かるように、内部容量比mが大きいほど、すなわち、キャパシタ24_iの値が大きいほど、昇圧電圧V_{00T1}の立ち上がりを早くすることができる。

一方、p周期目の昇圧電圧V_{00Tp}は、次式(3)で求め

$$V_{00Tp} = m(n+1)VDD / (m+n) \times \{n / (m+n)\}^{p-1} \quad \text{..... (3)}$$

$$V_{00T} = V_{00T1} + V_{00T2} + \dots + V_{00Tp} + \dots \\ = m(n+1)VDD / (m+n)$$

$$\times \sum \{n / (m+n)\}^{p-1} \quad \text{..... (4)}$$

但し、Σはp=1から∞までの和を表している。ここで、式(4)の無限等比級数の第p部分とS_pは、以下

$$S_p = \sum \{n / (m+n)\}^{p-1} \quad \text{..... (5)}$$

但し、Σはk=1からpまでの和を表している。ここで、m≥1、n>0であるから、以下の関係が成り立

$$0 < n / (m+n) = A < 1 \quad \text{..... (6)}$$

$$\therefore S_p = 1 \times (1 - A^p) / (1 - A)$$

$$= (m+n) / m \times [1 - \{n / (m+n)\}^p] \quad \text{..... (7)}$$

従って、pの値を∞に近づけた時の第p部分とS_pの極限値をlim₍₃₎とすると、収束値Sは以下の式(8)

$$S = \lim_{(3)} S_p = (m+n) / m \quad \text{..... (8)}$$

結局、昇圧電圧V_{00T}は、以下の式(9)に示すように、(n+1)V_{DD}、すなわち、V_{DD}を+5Vとする

$$V_{00T} = m(n+1)VDD / (m+n) \times \sum \{n / (m+n)\}^{p-1} \\ = (n+1)VDD \quad \text{..... (9)}$$

図5は本発明の第1の形態に係る昇圧回路の第2実施例を示す図であり、この例では、CK11~CK14の4つのクロック(制御信号)を用いて、各スイッチ手段のオンオフのタイミングをきめ細かく行うようにしている。図6には各制御クロックCK11~CK14の供給タイミング図が示される。なお、第1実施例(図4参照)で用いられている回路要素には同一の符号を付しており、その説明は省略する。

【0038】図5において、クロックCK11は第4スイッチ手段28のオンオフ専用、クロックCK12は第2スイッチ手段22_iのオンオフ専用、クロックCK13は第1スイッチ手段21_iのオンオフ専用、クロックCK14は第3スイッチ手段23_iのオンオフ専用として用いられる。図6に示すように、クロックCK11とCK14は同相の信号であり、これらクロックは、必要に応じて1つの信号にまとめても構わない。また、クロックCK12とCK13は逆相の信号である。

【0039】クロックCK11(又はクロックCK14)とクロックCK12(又はクロックCK13)は周

次式(1)で表すことができる。

のように表される。

【0034】

ることができ、さらに式(3)から以下の式(4)が得られる。

【0035】

の式(5)のように表される。

【0036】

20

のように表される。

【0037】

と、前述したように+5V×n+5Vで与えられることになる。

期は同じであるが、クロックCK12の立ち上がり(又はクロックCK13の立ち下がり)は、クロックCK11(又はクロックCK14)の立ち上がり時点よりも所定時間dだけ遅延するように設定されている。また、クロックCK11(又はクロックCK14)の立ち下がり(又はクロックCK12の立ち下がり)は、クロックCK12の立ち下がり(又はクロックCK13の立ち上がり)時点よりも所定時間dだけ遅延するように設定されている。

【0040】また、クロックCK12の“H”レベル期間(又はクロックCK13の“L”レベル期間)は、第1スイッチ手段21_iと第2スイッチ手段22_iがオンしている期間であり、当該期間は各段のキャパシタ24_iの充電期間T_{c1}になる(第1ステージ)。一方、クロックCK11(又はクロックCK14)の“L”レベル期間は、第3スイッチ手段23_iと第4スイッチ手段28がオンしている期間であり、当該期間は負荷容量27の充電期間T_{c2}になる(第2ステージ)。

【0041】従って、第2実施例の構成によれば、キャパシタ24_iの充電期間T_{c1}を終えた後、所定のインタ

一バル期間（遅延時間 d ）を経過してから、負荷容量 27 の充電期間 T_{c2} が開始されるようになっているので、充電動作の切り換え過渡時における回路の誤動作等の不都合を解消することができる。これは、回路動作の安定化に大いに寄与する。

【0042】図 7 は本発明の第 1 の形態に係る昇圧回路の第 3 実施例を示す図であり、上述した第 2 実施例の一変形例である。この第 3 実施例では、各昇圧部 20_i ' における第 1 スイッチ手段 21_i ' と第 3 スイッチ手段 23_i ' のバックゲートの接続位置が第 2 実施例の場合と相違している。

【0043】すなわち、上述した第 2 実施例では、第 1 スイッチ手段 21_i と第 3 スイッチ手段 23_i のバックゲートを自らの昇圧部 20_i におけるキャパシタ 24_i の一端側に接続しているが、この第 3 実施例では、第 1 スイッチ手段 21_i ' と第 3 スイッチ手段 23_i ' のバックゲートを次段の昇圧部 20_{i+1} におけるキャパシタ 24_{i+1} の他端側（但し、自らの昇圧部が最終段の場合には負荷容量 27）に接続している点で異なっている。このようにしても、第 1 スイッチ手段 21_i ' と第 3 スイッチ手段 23_i ' は何等支障なくオンオフするから、上記第 2 実施例と同様の作用効果を奏することができる。

【0044】図 8 は本発明の第 1 の形態に係る昇圧回路の第 4 実施例を示す図であり、上述した第 2 実施例の他の変形例である。この第 4 実施例では、各昇圧部 20_i ' ' における第 1 スイッチ手段 21_i ' ' と第 3 スイッチ手段 23_i ' ' のバックゲート位置を共通化している点で上記第 2 実施例と相違している。

【0045】このような接続構成を採ることにより、全ての第 1 スイッチ手段 21_i ' ' と第 3 スイッチ手段 23_i ' ' でウエルを共有化できるので、ウエルの形成数を削減して製造の容易化を図ることができると共に、基板電位を安定化させてラッチアップ等の障害回避を図ることができるというメリットがある。図 9 は本発明の第 1 の形態に係る昇圧回路の第 5 実施例を示す図であり、負極性の昇圧電圧を生成できるようにした例である。

【0046】図 9 において、30 は昇圧回路を示し、該昇圧回路は、 n 段の昇圧部 30₁ ~ 30_n を有し、各昇圧部 30_i は、 n チャネル MOS トランジスタを用いた第 1 スイッチ手段 31_i 、 p チャネル MOS トランジスタを用いた第 2 スイッチ手段 32_i 、 n チャネル MOS トランジスタを用いた第 3 スイッチ手段 33_i 、及びキャパシタ 34_i を備えて同一に構成されている。

【0047】例えば、初段の昇圧部 30₁ で説明すると、第 1 スイッチ手段 31₁ はオン状態でキャパシタ 34₁ の一端を低電位（GND）の電源ライン 35 に接続し、第 2 スイッチ手段 32₁ はオン状態でキャパシタ 34₁ の他端を高電位（VDD）の電源ライン 36 に接続し、第 3 スイッチ手段 33₁ はオン状態でキャパシタ 3

4₁ の一端を次段の昇圧部 30₂ のキャパシタ（但し、最終段の昇圧部 30_n については負荷容量 37）に接続する。

【0048】また、38 は第 4 スイッチ手段に相当し、この第 4 スイッチ手段 38 はオン状態で初段の昇圧部 30₁ のキャパシタ 34₁ の他端を低電位の電源ライン 35 に接続する。なお、VDD は外部から供給される高電位の電源電圧（+5V）、GND は低電位の電源電圧（0V）、CK11~CK14 は各スイッチ手段のオンオフ制御を行うためのクロック（制御信号）を示す。

【0049】このような構成において、第 1 ステージでは、第 1 スイッチ手段 31₁ と第 2 スイッチ手段 32₁ がオンし、他のスイッチ手段はオフする。このため、全ての段のキャパシタ 34_i が高電位の電源ライン 36 と低電位の電源ライン 35 の間に並列に接続され、両電源ライン間の電位差（+5V）でそれぞれ同時に充電される。次いで、第 2 ステージでは、第 3 スイッチ手段 33₁ と第 4 スイッチ手段 38 がオンし、他のスイッチ手段はオフする。このため、全ての段のキャパシタ 34_i と負荷容量 37 が直列に接続され、全てのキャパシタ 34_i の充電電圧の合計値（+5V× n ）を電源として、負荷容量 37 が充電される。

【0050】ここで、全てのキャパシタ 34_i は、第 1 スイッチ手段 31_i につながる一端側を負極性（-）、第 2 スイッチ手段 32_i につながる他端側を正極性（+）として充電される。従って、第 2 ステージにおける負荷容量 37 の充電極性は、図面の上側極が負、下側極が正となるから、負極性の昇圧電圧 V_{out} として取り出すことができる。

【0051】図 10 は本発明の第 1 の形態に係る昇圧回路の第 6 実施例を示す図であり、上述した第 5 実施例の一変形例である。この第 6 実施例では、各昇圧部 30_i ' における第 1 スイッチ手段 31_i ' と第 3 スイッチ手段 33_i ' のバックゲートの接続位置が第 5 実施例の場合と相違している。

【0052】すなわち、上述した第 5 実施例では、第 1 スイッチ手段 31_i と第 3 スイッチ手段 33_i のバックゲートを自らの昇圧部 30_i におけるキャパシタ 34_i の一端側に接続しているが、この第 6 実施例では、第 1 スイッチ手段 31_i ' と第 3 スイッチ手段 33_i ' のバックゲートを次段の昇圧部 30_{i+1} におけるキャパシタ 34_{i+1} の他端側（但し、自らの昇圧部が最終段の場合には負荷容量 37）に接続している点で異なっている。このようにしても、第 1 スイッチ手段 31_i ' と第 3 スイッチ手段 33_i ' は何等支障なくオンオフするから、上記第 5 実施例と同様の作用効果を奏することができる。

【0053】図 11 は本発明の第 1 の形態に係る昇圧回路の第 7 実施例を示す図であり、上述した第 5 実施例の他の変形例である。この第 7 実施例では、各昇圧部 30

、'における第1スイッチ手段31、'と第3スイッチ手段33、'のバックゲート位置を共通化している点で上記第5実施例と相違している。

【0054】このような接続構成を採ることにより、全ての第1スイッチ手段31、'と第3スイッチ手段33、'でウエルを共有化できるので、ウエルの形成数を削減して製造の容易化を図ることができると共に、基板電位を安定化させてラッチアップ等の障害回避を図ることができるというメリットがある。図12は本発明の第1の形態に係る昇圧回路の第8実施例を示す図であり、各

スイッチ手段をCMOSトランスミッションゲートで構成した例である。

【0055】図12において、昇圧回路40は、n段の昇圧部40₁～40_nを有し、各昇圧部40_iは何れも同一の構成で、第1スイッチ手段41_i、第2スイッチ手段42_i、第3スイッチ手段43_i、及びキャパシタ44_iを有する。なお、45は高電位(VDD)の電源ライン、46は低電位(GND)の電源ライン、47は負荷容量、48は第4スイッチ手段を示す。

【0056】本実施例では、1段目の第2スイッチ手段42₁と第4スイッチ手段48を除く全てのスイッチ手段をCMOSトランスミッションゲートで構成しているが、これに限るものではなく、1段目の第2スイッチ手段42₁と第4スイッチ手段48についても他のスイッチ手段と同様にCMOSトランスミッションゲートで構成しても構わない。

【0057】CMOSトランスミッションゲートは、ドレイン/ソースを共通化した一対のpチャネルMOSトランジスタQP及びnチャネルMOSトランジスタQNと、インバータIVとを備えて構成されており、本実施例では、各制御クロックCK11、CK12、CK13及びCK14をそれぞれpチャネルMOSトランジスタQP(但し、第2スイッチ手段42_iについてはnチャネルMOSトランジスタQN)のゲートに与えると共に、各制御クロックCK11、CK12、CK13及びCK14の各々の反転信号をインバータゲート51で作り出し、その反転信号を対応するnチャネルMOSトランジスタQN(第2スイッチ手段42_iについてはpチャネルMOSトランジスタQP)のゲートに与えている。

【0058】このように、各スイッチ手段をCMOSトランスミッションゲートで構成しても、全てのスイッチ手段は何等支障なくオンオフするから、上述した第1～第7実施例と同様の作用効果を奏することができる。図13は本発明の第2の形態に係る昇圧回路の第1実施例を示す図であり、各スイッチ手段をnチャネルMOSトランジスタ又はpチャネルMOSトランジスタで構成した例である。

【0059】図13において、昇圧回路70は、負荷容量77に対して並列に接続された2つの単位回路部(後

述)を備えて構成されている。各単位回路部は、基本的には図5に示した実施例の構成と同様に構成され、n段の昇圧部70₁₁～70_{1n}(又は70₂₁～70_{2n})を有し、各昇圧部70_{1i}(又は70_{2i})は、pチャネルMOSトランジスタを用いた第1スイッチ手段71_{1i}(又は71_{2i})、nチャネルMOSトランジスタを用いた第2スイッチ手段72_{1i}(又は72_{2i})、pチャネルMOSトランジスタを用いた第3スイッチ手段73_{1i}(又は73_{2i})、及びキャパシタ74_{1i}(又は74_{2i})を備えて同一に構成されている。

【0060】例えば初段の昇圧部70₁₁で説明すると、第1スイッチ手段71₁₁はオン状態でキャパシタ74₁₁の一端を高電位(VDD)の電源ライン75₁に接続し、第2スイッチ手段72₁₁はオン状態でキャパシタ74₁₁の他端を低電位(GND)の電源ライン76₁に接続し、第3スイッチ手段73₁₁はオン状態でキャパシタ74₁₁の一端を次段の昇圧部70₁₂のキャパシタ(但し、最終段の昇圧部70_{1n}については負荷容量77)に接続する。

【0061】また、78₁(又は78₂)は第4スイッチ手段を示し、この第4スイッチ手段78₁(又は78₂)はオン状態で初段の昇圧部70₁₁(又は70₂₁)のキャパシタ74₁₁(又は74₂₁)の他端を高電位の電源ライン75₁(又は75₂)に接続する。なお、VDDは外部から供給される高電位の電源電圧(+5V)、GNDは低電位の電源電圧(0V)、CK11～CK14及びCK21～CK24は各スイッチ手段のオンオフ制御を行うためのクロック(制御信号)を示す。

【0062】各単位回路部の動作形態については、前述した図4、図5、図7及び図8に示す各実施例(正極性の昇圧電圧V_{OUT}を生成する構成)と同じであるので、その説明は省略する。この第1実施例では、一方の単位回路部(例えば、昇圧部70₁₁～70_{1n}及び第4スイッチ手段78₁)が前記第1ステージ(各キャパシタ74₁₁～74_{1n}の充電動作)を実行している時に他方の単位回路部(昇圧部70₂₁～70_{2n}及び第4スイッチ手段78₂)が前記第2ステージ(負荷容量77の充電動作)を実行するように、各クロックCK11～CK14及びCK21～CK24を“H”レベル又は“L”レベルに制御して各スイッチ手段を適宜オンオフ制御するようにしている。

【0063】従って、この第1実施例によれば、一方の単位回路部は常に負荷容量77に対して第2ステージを実行しているので、昇圧回路70全体としては、第1ステージと第2ステージを含む1周期の期間中、常に負荷容量77を充電することができる。つまり、前述した本発明の第1の形態に係る昇圧回路の各実施例の場合に比べて、より一層、昇圧効率を改善することが可能となる。

【0064】また、各昇圧部における出力VH₁～VH

。の電圧値は1周期目の第1ステージの段階で5Vに確定し、また、各キャパシタは第1ステージと第2ステージで極性が反転することなく、更に、各キャパシタに充電された電荷は負荷容量77のみに分配されるといったメリットがある。図14は本発明の第2の形態に係る昇圧回路の第2実施例を示す図であり、負極性の昇圧電圧を生成できるようにした例である。

【0065】図14において、昇圧回路80は、負荷容量87に対して並列に接続された2つの単位回路部を備えて構成されている。各単位回路部は、基本的には図9に示した実施例の構成と同様に構成され、n段の昇圧部80₁₁~80_{1n}（又は80₂₁~80_{2n}）を有し、各昇圧部80₁₁（又は80₂₁）は、nチャネルMOSトランジスタを用いた第1スイッチ手段81₁₁（又は81₂₁）、pチャネルMOSトランジスタを用いた第2スイッチ手段82₁₁（又は82₂₁）、nチャネルMOSトランジスタを用いた第3スイッチ手段83₁₁（又は83₂₁）、及びキャパシタ84₁₁（又は84₂₁）を備えて同一に構成されている。

【0066】例えば初段の昇圧部80₁₁で説明すると、第1スイッチ手段81₁₁はオン状態でキャパシタ84₁₁の一端を低電位（GND）の電源ライン85₁に接続し、第2スイッチ手段82₁₁はオン状態でキャパシタ84₁₁の他端を高電位（VDD）の電源ライン86₁に接続し、第3スイッチ手段83₁₁はオン状態でキャパシタ84₁₁の一端を次段の昇圧部80₁₂のキャパシタ（但し、最終段の昇圧部80_{1n}については負荷容量87）に接続する。

【0067】また、88₁（又は88₂）は第4スイッチ手段を示し、この第4スイッチ手段88₁（又は88₂）はオン状態で初段の昇圧部80₁₁（又は80₂₁）のキャパシタ84₁₁（又は84₂₁）の他端を低電位の電源ライン85₁（又は85₂）に接続する。なお、VDDは外部から供給される高電位の電源電圧（+5V）、GNDは低電位の電源電圧（0V）、CK11~CK14及びCK21~CK24は各スイッチ手段のオンオフ制御を行うためのクロック（制御信号）を示す。

【0068】各単位回路部単体の動作形態については、前述した図9、図10及び図11に示す各実施例（負極性の昇圧電圧V_{out}を生成する構成）と同じであり、また、各単位回路部相互間の動作形態については、図13に示す第1実施例と同様であるので、それぞれの説明は省略する。図15は本発明の第2の形態に係る昇圧回路の第3実施例を示す図であり、全てのスイッチ手段をCMOSトランスマッションゲートで構成した例である。

【0069】この第3実施例の構成は、図13に示す第1実施例で用いられたnチャネルMOSトランジスタ又はpチャネルMOSトランジスタに代えてCMOSトランスマッションゲートG1₁₁、G2₁₁、G3₁₁、G4₁₁、G1₂₁、G2₂₁、G3₂₁及びG4₂₁を用いており、他の

構成については図13の構成と全く同じである。従って、その動作形態については省略する。

【0070】図16は本発明の第2の形態に係る昇圧回路の第4実施例を示す図であり、第3実施例と同様、全てのスイッチ手段をCMOSトランスマッションゲートで構成した例である。この第4実施例の構成は、図14に示す第2実施例で用いられたnチャネルMOSトランジスタ又はpチャネルMOSトランジスタに代えてCMOSトランスマッションゲートG5₁₁、G6₁₁、G7₁₁、G8₁₁、G5₂₁、G6₂₁、G7₂₁及びG8₂₁を用いており、他の構成については図14の構成と全く同じである。従って、その動作形態については省略する。

【0071】図17には上述した各実施例における昇圧回路の応用例が示される。図示の構成は、各実施例の昇圧回路にある種のレベルシフタを組み合わせた例を示しており、このレベルシフタは、本出願人が先に提案した「レベルコンバータ及び半導体集積回路」（特願平5-72223号 平成5年3月30日出願）に記載されているものである。

【0072】図17（a）において、60は振幅VDDの内部クロックCKに応答して該クロックの振幅を昇圧回路の出力（昇圧電圧V_{out}）に対応させて増大するレベルシフタ、61はこの増大されたクロック信号CK₀₁に基づいて昇圧回路における各スイッチ手段のオンオフ制御用のクロック信号群CK₀₁₁（CK₀₁と同振幅）を生成する昇圧回路制御部を示す。ここに、クロック信号群CK₀₁₁を構成する各クロック信号は、例えば図12に示す制御クロックCK11~CK14に相当する。

【0073】この構成によれば、昇圧回路における各スイッチ手段のゲート制御電圧を初段の0~VDDの電位差から昇圧電圧V_{out}の電位差に拡大しているため、各スイッチ手段を構成するpチャネルMOSトランジスタ又はnチャネルMOSトランジスタのオン抵抗を小さく抑制できるといったメリットがある。一方、図17

（b）において、62は振幅VDDの内部クロックCKに基づいて昇圧回路における各スイッチ手段のオンオフ用の制御信号群CK₀（CKと同振幅）を生成する昇圧回路制御部、63は制御信号群CK₀の各信号の振幅を昇圧回路の出力（昇圧電圧V_{out}）に対応させて増大するレベルシフタを示す。なお、CK₀₁₁は振幅増大後の制御信号群を表す。

【0074】この構成においては、レベルシフタ63の配置位置を昇圧回路制御部62と昇圧回路の間に變えており、これによって、オンオフ制御信号の振幅を容易に増大することができると共に、昇圧回路制御部62の電源電圧はVDDだけで済むので、（a）の構成に比べて電力消費を抑制できるといったメリットがある。

【0075】

【発明の効果】以上説明したように本発明によれば、各昇圧部におけるキャパシタの充電電圧を無駄なく、つま

り効率良く、次段の昇圧部又は負荷容量へ伝えることができ、しかも、係る動作は第1ステージと第2ステージの2段階で実現されるので、ステップ状に変化する昇圧電圧の1段あたりの電圧変化幅を相対的に増大させることができる。これによって、目標の高電圧への到達時間を短縮し、昇圧電圧の立ち上がり応答性を向上させることができる。

【0076】また、少なくとも1つの単位回路部が負荷容量に対して常に第2ステージを実行するように構成されているので、第1ステージと第2ステージを含む1周期の期間中、常に負荷容量を充電することができ、これによって、昇圧効率をより一層高めることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の形態に係る昇圧回路の原理構成図である。

【図2】本発明の第2の形態に係る昇圧回路の原理構成図である。

【図3】図1及び図2に示す昇圧回路が生成する昇圧電圧の波形図である。

【図4】本発明の第1の形態に係る昇圧回路の第1実施例の回路図である。

【図5】本発明の第1の形態に係る昇圧回路の第2実施例の回路図である。

【図6】図5における制御クロックの供給タイミング図である。

【図7】本発明の第1の形態に係る昇圧回路の第3実施例の回路図である。

【図8】本発明の第1の形態に係る昇圧回路の第4実施例の回路図である。

【図9】本発明の第1の形態に係る昇圧回路の第5実施例の回路図である。

【図10】本発明の第1の形態に係る昇圧回路の第6実施例の回路図である。

【図11】本発明の第1の形態に係る昇圧回路の第7実施例の回路図である。

【図12】本発明の第1の形態に係る昇圧回路の第8実施例の回路図である。

【図13】本発明の第2の形態に係る昇圧回路の第1実施例の回路図である。

【図14】本発明の第2の形態に係る昇圧回路の第2実施例の回路図である。

【図15】本発明の第2の形態に係る昇圧回路の第3実施例の回路図である。

【図16】本発明の第2の形態に係る昇圧回路の第4実施例の回路図である。

【図17】各実施例の昇圧回路の応用例を示す構成図である。

【図18】従来形の一例としての昇圧回路の構成を示す回路図である。

【図19】図18の昇圧回路が生成する昇圧電圧の波形図である。

【符号の説明】

C10₁, C10₁₁…キャパシタ

C11…負荷容量

CKS, CKT…クロック

S10₁, S10₁₁…第1スイッチ手段

S11₁, S11₁₁…第2スイッチ手段

S12₁, S12₁₁…第3スイッチ手段

S13, S13₁…第4スイッチ手段

V_{OUT}…昇圧電圧

V₁…高電位の電源電圧

V₂…低電位の電源電圧

10…高電位の電源ライン

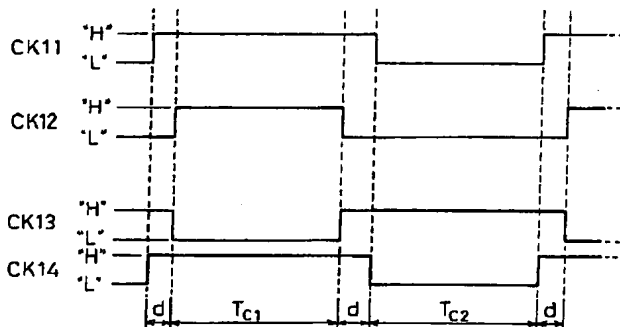
11…低電位の電源ライン

12₁…昇圧部

14, 15…クロック供給制御手段

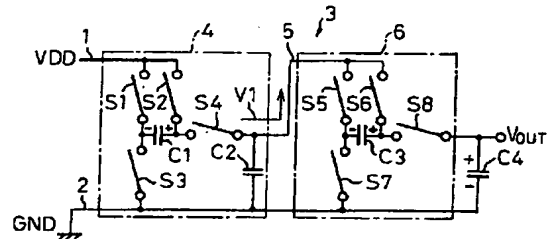
【図6】

図5における制御クロックの供給タイミング図



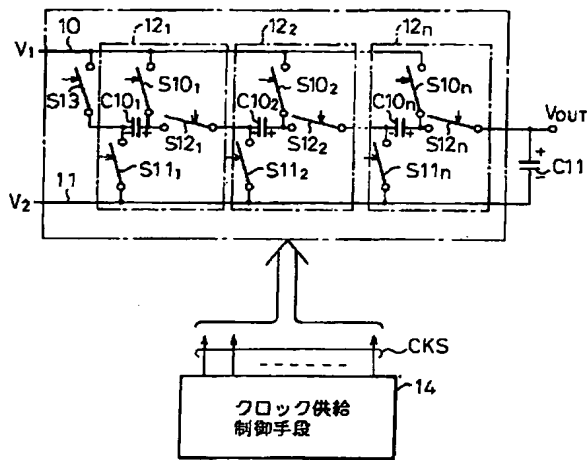
【図18】

従来形の一例としての昇圧回路の構成を示す回路図



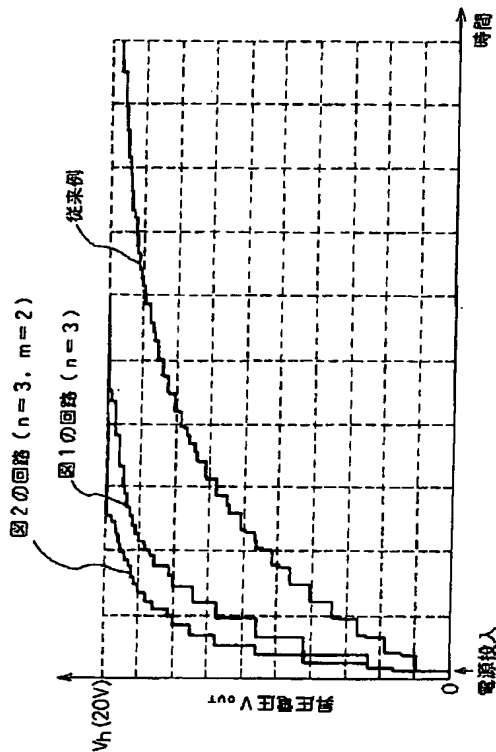
【図 1】

本発明の第 1 の形態に係る昇圧回路の原理構成図



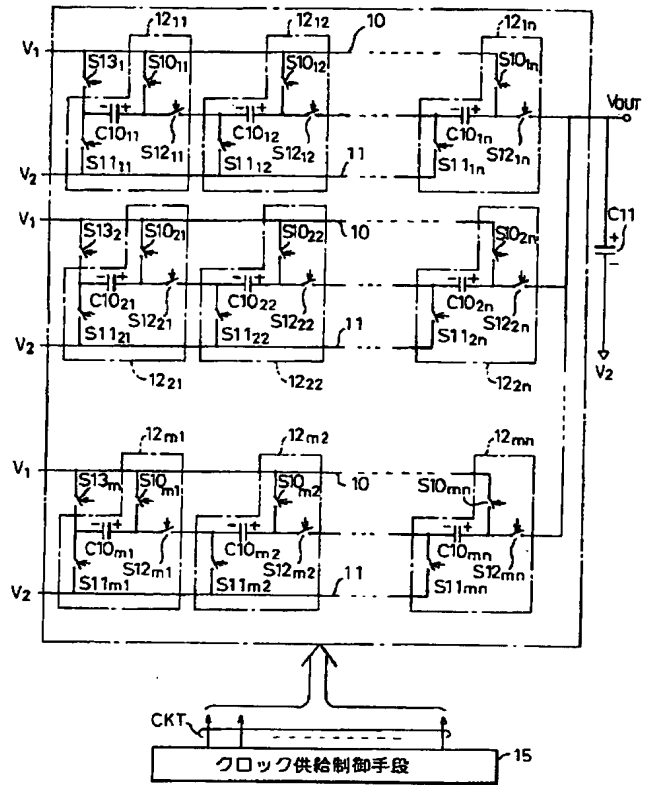
【図 3】

図 1 及び図 2 に示す昇圧回路が生成する昇圧電圧の波形図



【図 2】

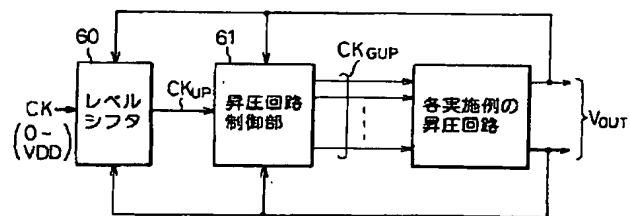
本発明の第 2 の形態に係る昇圧回路の原理構成図



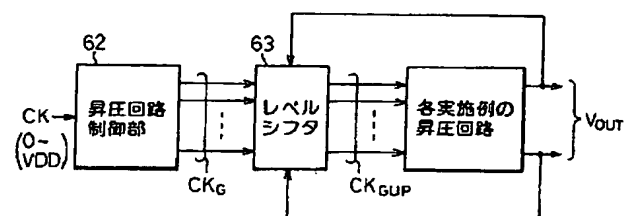
【図 17】

各実施例の昇圧回路の応用例を示す構成図

(a)

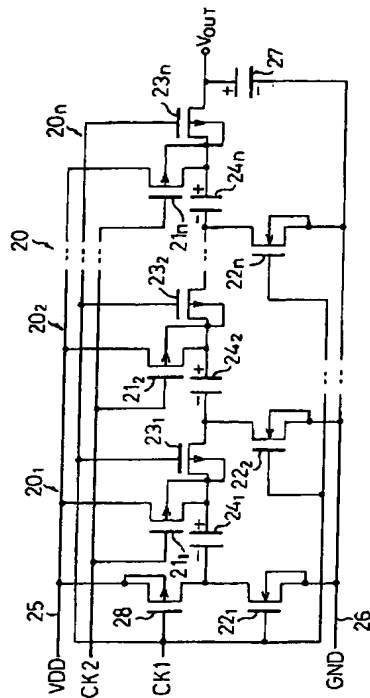


(b)



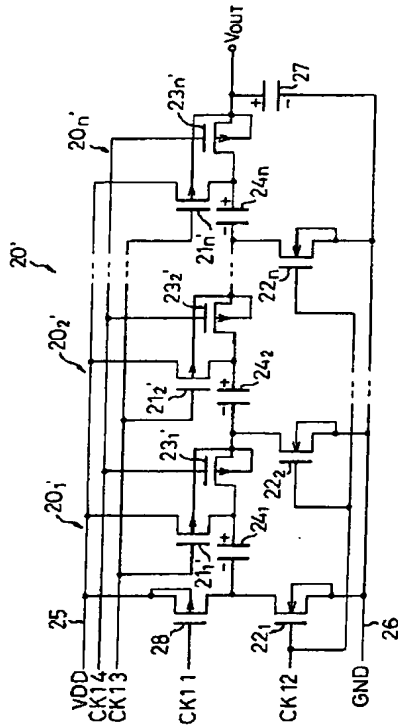
【図 4】

本発明の第 1 の形態に係る昇圧回路の第 1 実施例の回路図



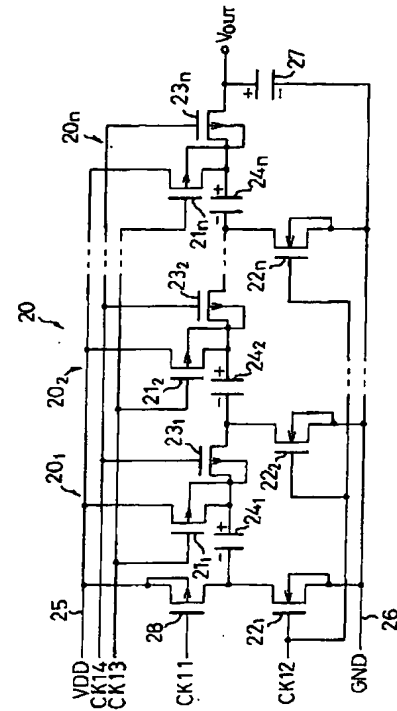
【図 7】

本発明の第 1 の形態に係る昇圧回路の第 3 実施例の回路図



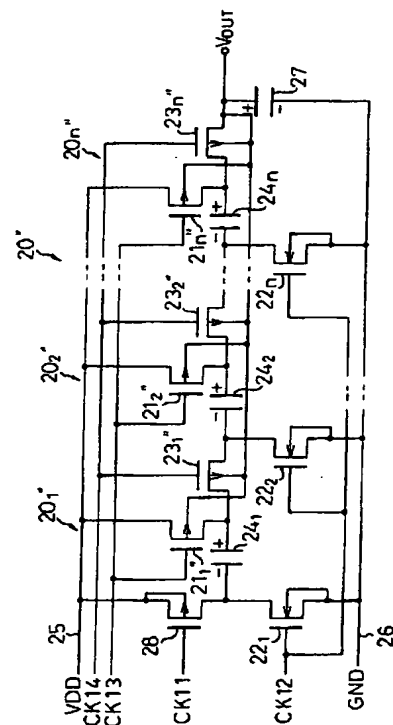
【図 5】

本発明の第 1 の形態に係る昇圧回路の第 2 実施例の回路図



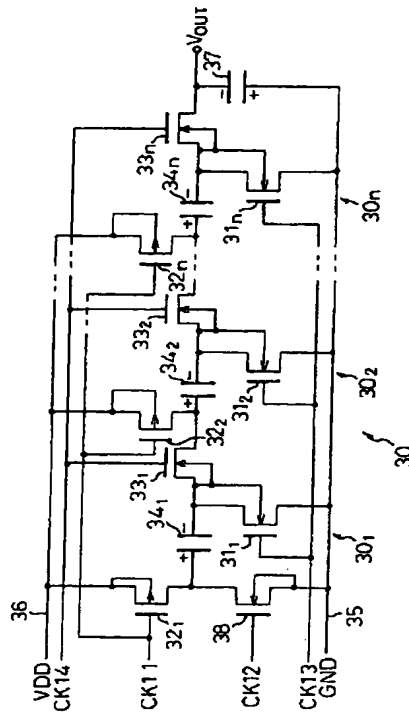
【図 8】

本発明の第 1 の形態に係る昇圧回路の第 4 実施例の回路図



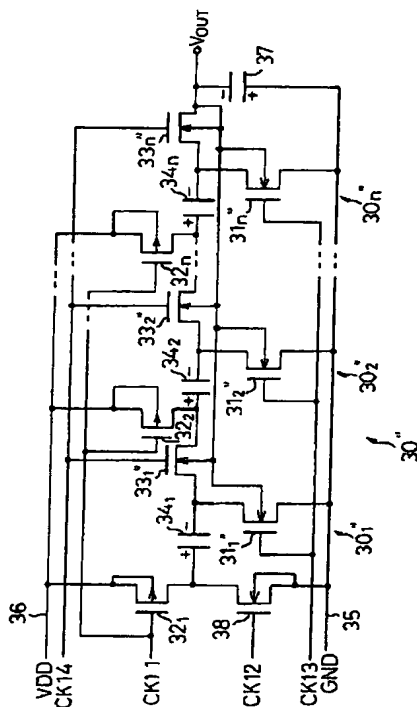
【図 9】

本発明の第 1 の形態に係る昇圧回路の第 5 実施例の回路図



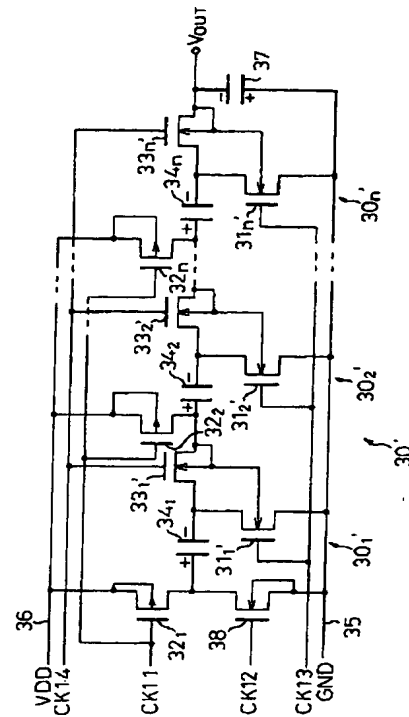
【図 11】

本発明の第 1 の形態に係る昇圧回路の第 7 実施例の回路図



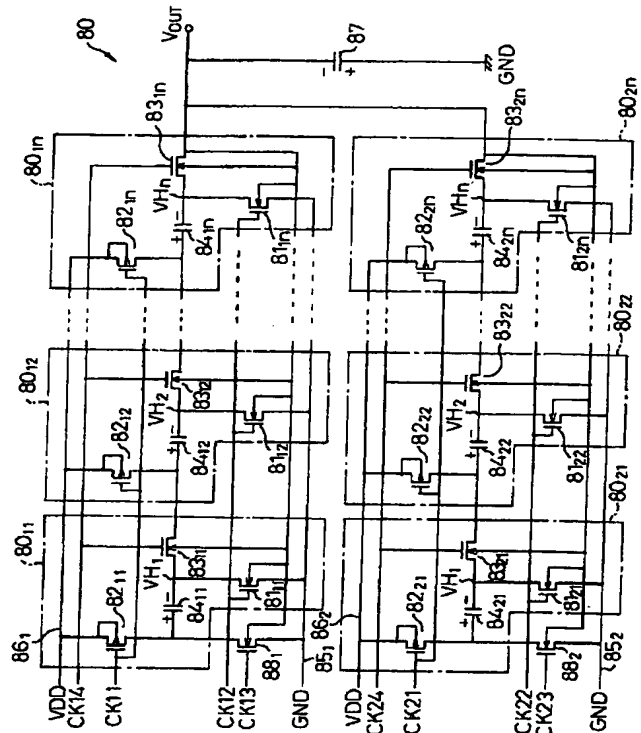
【図 10】

本発明の第 1 の形態に係る昇圧回路の第 6 実施例の回路図



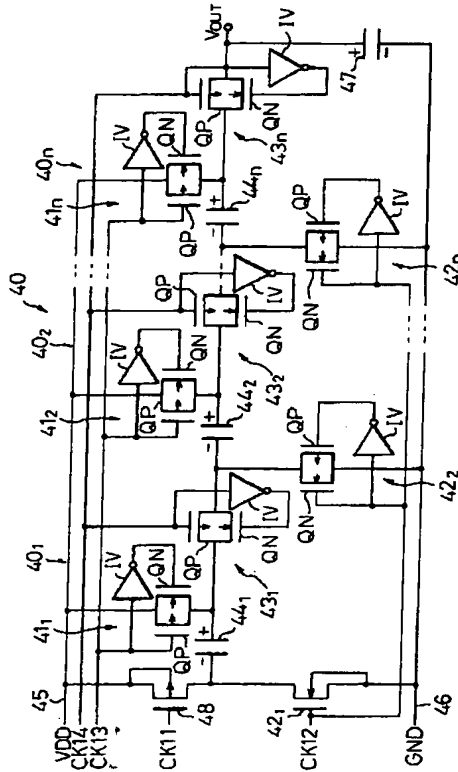
【図 14】

本発明の第 2 の形態に係る昇圧回路の第 2 実施例の回路図



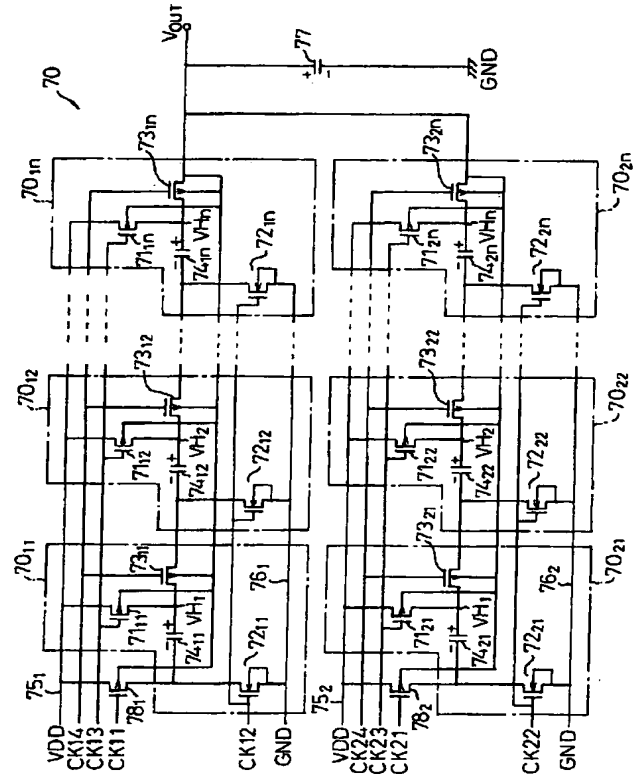
【図 1 2】

本発明の第 1 の形態に係る昇圧回路の第 8 実施例の回路図



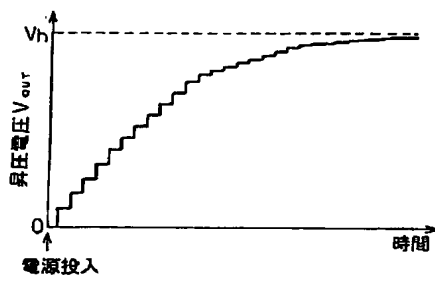
【図 1 3】

本発明の第 2 の形態に係る昇圧回路の第 1 実施例の回路図



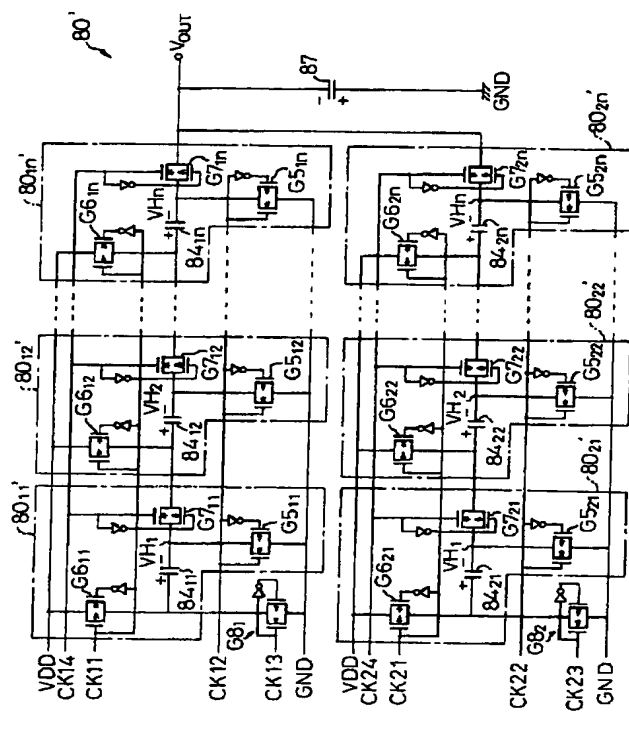
【図 1 9】

図 18 の昇圧回路が生成する昇圧電圧の波形図



【図 16】

本発明の第 2 の形態に係る昇圧回路の第 4 実施例の回路図



(72) 發明者 下園 元樹

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内